

Schaltungsdesign mit VHDL

Gunther Lehmann, Bernhard Wunder, Manfred Selz

Vorwort

Vorwort

VHDL¹ ist ein weltweit akzeptierter Standard zur Dokumentation, funktionalen Simulation und zum Datenaustausch beim Entwurf digitaler Systeme. VHDL hat in den letzten Jahren ausgehend von den USA seinen weltweiten Siegeszug angetreten. Mittlerweile findet die Sprache in vielen Entwicklungsabteilungen Verwendung; kaum ein Unternehmen wird sich dem Einsatz von VHDL beim Entwurf digitaler Hardware entziehen können.

Das Einsatzgebiet von VHDL wurde im Laufe der Zeit in Richtung Synthese erweitert. Damit wurden neue, produktivere Wege in der Elektronikentwicklung eröffnet. Die aktuellen Bestrebungen internationaler Gremien gehen in Richtung analoger Erweiterung des Standards, was den technologischen Fortschritten und der Entwicklung hin zu gemischt analog-digitalen Systemen bzw. Mikrosystemen dienlich sein wird.

Die Probleme, die beim Einsatz von VHDL auftreten, dürfen jedoch nicht verschwiegen werden. Es handelt sich um eine sehr mächtige Sprache, die erst nach längerem praktischen Einsatz richtig beherrscht wird. Der Einstieg ist insbesondere für diejenigen Hardwareentwickler schwierig, die noch nicht intensiv mit einer Programmiersprache gearbeitet haben. Die psychologische Barriere darf dabei nicht unterschätzt werden. Hinzu kommt, daß es mit der Einführung der "Sprache" VHDL allein nicht getan ist: Die darauf basierende Entwurfsmethodik erfordert eine neue Arbeitsweise, ein Überdenken gewohnter Schemata und nicht zuletzt die Verwendung neuer Werkzeuge.

1 VHDL = VHSIC (Very High Speed Integrated Circuit)
Hardware Description Language

Die anfänglichen technischen Probleme (fehlende Herstellerbibliotheken, relativ langsame Simulation auf Gatterebene, kein automatisiertes "Backannotation"¹) sind schon weitgehend beseitigt. Eine größere Herausforderung stellt allerdings die Tatsache dar, daß der durch verschiedene Syntheseprogramme unterstützte VHDL-Sprachumfang eingeschränkt und nicht identisch ist.

Ein gravierendes Problem ist auch die starke Abhängigkeit des Syntheseergebnisses von der Qualität der VHDL-Beschreibung, mit dem Schlagwort "what you write is what you get" treffend beschrieben.

In den letzten Jahren wurde versucht, durch Einführung sog. "Front-End-Tools" den Entwickler vom Erlernen und vollen Verständnis der Sprache zu entlasten. Diese Werkzeuge erzeugen aus einer graphisch definierten Verhaltensbeschreibung per Knopfdruck VHDL-Code, der oft als "synthesegerecht" bezeichnet wird. Dadurch gestaltet sich der Entwurfsablauf für viele Anwendungsfälle produktiver, denn ein Automatengraph oder ein Statechart ist nun einmal anschaulicher und leichter zu übersehen als seitenlange IF...THEN...ELSE- und CASE-Anweisungen.

Die oben genannten Abhängigkeiten des Syntheseergebnisses vom VHDL-Code stellen hohe Ansprüche an diese Werkzeuge. Da Front-End- und Synthesetools in der Regel jedoch von verschiedenen Herstellern angeboten werden, ist der erzeugte VHDL-Code für die anschließende Synthese oft wenig optimiert bzw. teilweise sogar ungeeignet. Die Abhängigkeiten sind dabei so komplex, daß die erforderlichen manuellen Änderungen am Quellcode nur von Experten beherrscht werden. Vor einem blinden Vertrauen auf das Ergebnis dieser Werkzeugkette soll deshalb gewarnt werden: VHDL nur als Datenaustauschformat ohne Verständnis der Syntax und Semantik eingesetzt, kann leicht zu unbefriedigenden oder gar schlechten Ergebnissen führen. Deshalb sind Bücher, die das notwendige Hintergrundwissen zur Syntax und zur Interpretation der Sprache VHDL liefern, auch beim Einsatz modernster Entwicklungswerkzeuge unverzichtbar.

¹ Backannotation = Nachträgliche Berücksichtigung layoutabhängiger Verzögerungszeiten

In dem vorliegenden Buch ist es den Autoren gelungen, erstmals eine umfassende deutschsprachige Einführung in Syntax und Semantik der Sprache VHDL sowie deren Anwendung für Simulation und Synthese zu geben und anhand von einfachen Beispielen zu erläutern. Damit wird zur Verbreitung von VHDL im deutschsprachigen Raum ein wichtiger Beitrag erbracht.

Karlsruhe, im März 1994

Prof. Dr.-Ing. K. D. Müller-Glaser

Zu diesem Buch

Als eine der wenigen deutschsprachigen Veröffentlichungen über VHDL soll das vorliegende Werk eine breite Leserschicht ansprechen: Entscheidungsträger finden hier Informationen über Aufgaben von VHDL, die Designmethodik und Anwendungsmöglichkeiten der Hardwarebeschreibungssprache. Anwender werden vor allem durch den VHDL-Syntaxteil angesprochen, der sowohl für Anfänger als auch für Experten interessante Hinweise, Tips und Tricks und Nachschlagemöglichkeiten bietet. Für diese Gruppe von Lesern sind auch die Kapitel über die Anwendung von VHDL gedacht.

Das Buch gliedert sich in vier Teile:

Teil A legt als Einführung die geschichtliche Entwicklung sowie die Aufgabengebiete von VHDL dar. Ebenso wird der Einsatz von VHDL im strukturierten Elektronikentwurf und der grundsätzliche Aufbau von VHDL-Modellen erläutert.

Der zweite Teil (**Teil B**) bildet den Schwerpunkt des vorliegenden Werkes und enthält die Beschreibung der VHDL-Syntax. Hier werden alle Konstrukte der zur Zeit von Entwicklungswerkzeugen unterstützten Sprachnorm ("VHDL'87") vorgestellt. Daneben wird auf alle Veränderungen eingegangen, welche die überarbeitete Norm "VHDL'93" mit sich bringt.

In **Teil C** schließlich findet die praktische Anwendung von VHDL, mit den Schwerpunkten Simulation und Synthese, ihren Platz. Es werden zahlreiche Hinweise zur Erstellung von VHDL-Modellen gegeben.

Im letzten Abschnitt des Buches, dem Anhang (**Teil D**), finden sich neben einer Literaturliste auch Hinweise zu VHDL-Gremien und Arbeitsgruppen. Mehrere Übungsaufgaben ermöglichen die Vertiefung der erworbenen Kenntnisse. Die Musterlösungen dazu können der dem Buch beiliegenden Diskette entnommen werden.

Zu diesem Buch

Dieses Buch basiert auf den Kenntnissen und Erfahrungen, die wir während unserer Tätigkeit am Lehrstuhl für Rechnergestützten Schaltungsentwurf der Universität Erlangen-Nürnberg und am Institut für Technik der Informationsverarbeitung der Universität Karlsruhe erworben haben. Im Vordergrund standen hier die Betreuung zahlreicher VHDL-Sprachkurse für Industriekunden und die Vermittlung des Themas VHDL an Studenten in Erlangen und Karlsruhe.

Wir danken Herrn Prof. Dr.-Ing. K. D. Müller-Glaser (Institut für Technik der Informationsverarbeitung) und Herrn Dr.-Ing. H. Rauch (Lehrstuhl für Rechnergestützten Schaltungsentwurf) für ihr weitreichendes Interesse und die Unterstützung, welche die Entstehung dieses Buches erst ermöglicht haben.

Außerdem möchten wir uns bei Herrn G. Wahl, dem Programmleiter für Elektronikbücher des Franzis-Verlages, für die vielfältigen Anregungen und die Bereitschaft, das neue Thema "VHDL" aufzugreifen, bedanken.

Wir möchten weiterhin darauf hinweisen, daß das Titelbild lediglich symbolischen Charakter hat. Die unterschiedlichen Namen im Entity-Rahmen des abgedruckten VHDL-Modells haben sich leider beim Übertragen in die Druckvorlage eingeschlichen.

Karlsruhe und Erlangen, im März 1994

Gunther Lehmann, Bernhard Wunder, Manfred Selz

Inhalt

Teil A		Einführung
1	Entwurf elektronischer Systeme	16
1.1	Motivation	16
1.2	Entwurfssichten	16
1.3	Entwurfsebenen	18
2	Motivation für eine normierte Hardwarebeschreibungssprache	23
2.1	Komplexität	23
2.2	Datenaustausch	24
2.3	Dokumentation	25
3	Geschichtliche Entwicklung von VHDL	26
4	Aufbau einer VHDL-Beschreibung	29
4.1	Schnittstellenbeschreibung (Entity)	29
4.2	Architektur (Architecture)	29
4.3	Konfiguration (Configuration)	30
4.4	Package	30
4.5	Beispiel eines VHDL-Modells	31
5	Entwurfssichten in VHDL	33
5.1	Verhaltensmodellierung	33
5.2	Strukturelle Modellierung	36
6	Entwurfsebenen in VHDL	37
6.1	Algorithmische Ebene	37
6.2	Register-Transfer-Ebene	38
6.3	Logikebene	39
7	Design-Methodik mit VHDL	40
7.1	Entwurfsablauf	40
7.2	VHDL-Software	43
© G. Lehmann/B. Wunder/M. Selz		11

8	Bewertung von VHDL	46
8.1	Vorteile von VHDL	46
8.2	Nachteile von VHDL	50

Teil B Die Sprache VHDL

1	Allgemeines	54
1.1	VHDL '87 oder VHDL '93	54
1.2	Vorgehensweise und Nomenklatur	55
2	Sprachelemente	56
2.1	Sprachaufbau	56
2.2	Zeichensatz	57
2.3	Lexikalische Elemente	59
2.4	Sprachkonstrukte	67
3	Objekte	71
3.1	Objektklassen	71
3.2	Datentypen und Typdeklarationen	72
3.3	Objektdeklarationen	83
3.4	Ansprechen von Objekten	89
3.5	Attribute	93
4	Aufbau eines VHDL-Modells	94
4.1	Bibliotheken	94
4.2	Schnittstellenbeschreibung (Entity)	97
4.3	Architektur (Architecture)	99
4.4	Konfiguration (Configuration)	102
4.5	Package	102
4.6	Abhängigkeiten beim Compilieren	104
5	Strukturelle Modellierung	106
5.1	Komponentendeklaration und -instantiierung	108
5.2	Block-Anweisung	113
5.3	Generate-Anweisung	115
6	Verhaltensmodellierung	119
6.1	Operatoren	121
6.2	Attribute	130

6.3	Signalzuweisungen und Verzögerungsmodelle	139
6.4	Nebenläufige Anweisungen	145
6.5	Sequentielle Anweisungen	152
6.6	Unterprogramme	163
7	Konfigurieren von VHDL-Modellen	176
7.1	Konfiguration von Verhaltensmodellen	177
7.2	Konfiguration von strukturalen Modellen	177
8	Simulationsablauf	186
8.1	Delta-Zyklus	186
8.2	Zeitverhalten von Signal- und Variablenzuweisungen	188
8.3	Aktivierung zum letzten Delta-Zyklus	190
9	Besonderheiten bei Signalen	193
9.1	Signaltreiber und Auflösungsfunktionen	193
9.2	Kontrollierte Signalzuweisungen	197
9.3	Kontrollierte Signale	198
10	Gültigkeit und Sichtbarkeit	201
10.1	Gültigkeit	201
10.2	Sichtbarkeit	202
11	Spezielle Modellierungstechniken	204
11.1	Benutzerdefinierte Attribute	204
11.2	Gruppen	207
11.3	Überladung	209
11.4	PORT MAP bei strukturalen Modellen	214
11.5	File - I/O	215
11.6	Zeiger	221
11.7	Externe Unterprogramme und Architekturen	227

Teil C Anwendung von VHDL

1	Simulation	230
1.1	Überblick	230
1.2	Simulationstechniken	232
1.3	Simulationsphasen	234
1.4	Testumgebungen	234

Inhalt

1.5	Simulation von VHDL-Gatternetzlisten	240
2	Synthese	242
2.1	Synthesearten	242
2.2	Einsatz der Syntheseprogramme	248
2.3	Synthese von kombinatorischen Schaltungen	251
2.4	Synthese von sequentiellen Schaltungen	263
2.5	Optimierung der "Constraints"	269
2.6	Ressourcenbedarf bei der Synthese	274

Teil D Anhang

1	Packages	278
1.1	Das Package standard	278
1.2	Das Package textio	279
1.3	IEEE-Package 1164	281
2	VHDL-Übungsbeispiele	288
2.1	Grundlegende VHDL-Konstrukte	288
2.2	Komplexe Modelle	291
3	VHDL-Gremien und Informationsquellen	298
3.1	VHDL-News-Group	298
3.2	VHDL International	299
3.3	VHDL Forum for CAD in Europe	299
3.4	European CAD Standardization Initiative	300
3.5	AHDL 1076.1 Working Group	301
3.6	VHDL Initiative Towards ASIC Libraries	302
3.7	E-mail Synopsys Users Group	302
4	Disketteninhalt	303
	Literatur	304
	Sachverzeichnis	309